

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-256393

(43)公開日 平成10年(1998) 9月25日

(51)Int.Cl.⁹

H 0 1 L 21/8238
27/092
27/04
21/822
29/78

識別記号

F I

H 0 1 L 27/08
27/04
29/78

3 2 1 H
H
3 0 1 K

審査請求 有 請求項の数 4 O L (全 10 頁)

(21)出願番号

特願平9-57728

(22)出願日

平成9年(1997) 3月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 志田 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 丸山 隆夫

(54)【発明の名称】 半導体装置

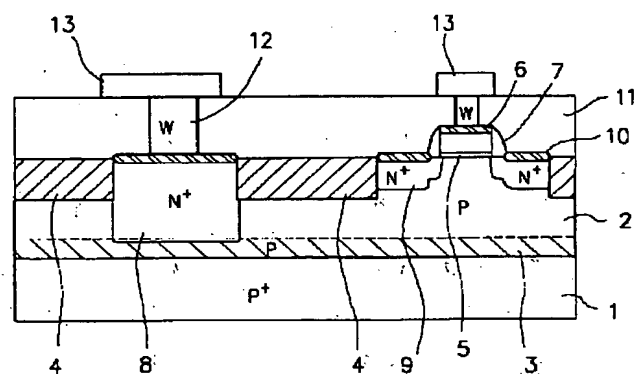
(57)【要約】

【課題】 静電気放電によるMOSトランジスタの特性変動等を防ぐことが可能な静電保護素子を有する半導体装置を提供する。

【解決手段】 高濃度なN⁺・カソード領域8と、P⁺基板1上のボロンせり上がり領域3との間で高濃度なPN接合が形成され、低い逆方向電圧でブレイクダウンをする低耐圧ダイオードDが形成される。これを入力回路又は出力回路の静電保護素子として用いることにより、ゲート酸化膜が薄膜化した際にも、有効に内部素子トランジスタを印加サージから保護する。

低耐圧静電保護ダイオードD

内部トランジスタT



(2)

【特許請求の範囲】

【請求項1】 第1導電型の高濃度半導体基板上にエピタキシャル成長された第1導電型の半導体層上にMOSトランジスタが形成される半導体装置において、前記MOSトランジスタの静電保護素子として、前記MOSトランジスタのゲート電極又はドレイン領域と高濃度半導体基板との間に逆方向接続され、かつその接合面におけるアノード側の不純物濃度が、前記MOSトランジスタのドレイン接合面におけるアノード側の不純物濃度よりも高いダイオードを有することを特徴とする半導体装置。

【請求項2】 前記静電保護素子であるダイオードの逆方向耐圧が、前記MOSトランジスタのドレイン接合耐圧より低いことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記静電保護素子であるダイオードの逆方向耐圧が、前記MOSトランジスタのゲート酸化膜の耐圧よりも低いことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記静電保護素子であるダイオードの接合面が、前記MOSトランジスタのドレイン接合面より前記高濃度半導体基板に近いところに存在することを特徴とする請求項1又は2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特にエピタキシャル基板を用いたシリコンLSIにおいて静電保護素子を有する半導体装置に関する。

【0002】

【従来の技術】 半導体装置においては、その規定された値を超えて使用してはならないとする定格値が存在し、この定格値を超えて使用した場合、半導体装置の特性が変化したり破壊されたりする。しかしながら、半導体装置にはその定格値を超えてしまう突発的な電気パルスである、いわゆるサージが印加される場合がある。

【0003】 そこで、このサージから半導体装置を保護するために様々な方法が提案されている。このサージから半導体装置を保護するための従来の技術について、Anant, G. Sabnis著、「ブイエルエスアイ エレクトロニクス マイクロストラクチャーサイエンス Vol. 22 (VLSI ELECTRONICS MICROSTRUCTURE SCIENCE Vol. 22)」を用いて以下に説明する。

【0004】 この従来技術によると、LSIの内部トランジスタは、静電保護素子によって外部端子に印加されるサージから保護される。図8の(a)に示すようにMOSLSIでは、サージが直接内部回路のゲート酸化膜へ印加されてトランジスタの特性が変動したりゲート酸化膜が破壊されるのを防止するために、例えば入力端子では保護素子を設けている。つまり、外部端子とVDD間、及び外部端子とGND間にそれぞれダイオード8

1、82が接続され、サージの印加により発生したチャージをこれらのダイオードを通して放電させることにより内部トランジスタのゲート酸化膜へのストレスを緩和する働きをしている。一方、出力端子に関しては、出力トランジスタT80のドレイン接合が保護素子の役割を果たす。

【0005】 また、図8の(b)に示すように、ゲートアレイに代表されるロジックLSIでは、入力端子の保護素子としてダイオードよりも保護効果の高いゲート制御型ダイオード83、84が用いられる。ゲート制御型ダイオード83、84は、MOSトランジスタを利用し、制御用ゲート端子をNMOS型84はGNDへ、PMOS型83はVDDへ接続している。順方向の特性は前述のダイオードと同等であるが、逆方向の特性は、前述のダイオードよりも低い電圧(BVds)でブレイクダウンするため、サージに対する保護効果が高まる。更に、NMOS型84では、ソース端子をGNDへ接続してMOS構造とすることにより、スナップバック現象を利用して更に低い電圧で保護素子がオンするため、サージに対する保護効果を更に高めている。

【0006】 一方、LSIの高速化、高集積化には、ゲート酸化膜の薄膜化が必須であるが、それに伴い、ゲート酸化膜のサージ耐性が弱くなる。しかし、前述した保護素子83、84は、いずれもMOS構造であり、保護素子のゲート酸化膜にサージが印加されてリーク電流が増加したり破壊に至りやすくなるという問題点を有していた。さらに、保護素子の役割を兼ねる出力トランジスタT80では、破壊に至らなくても、チャージがゲート酸化膜に注入されることによる特性変動により、回路動作へ影響を及ぼすという問題点を有していた。

【0007】 上記問題点を解決する方法として、Y. Fong and C. Hu 著「インターナル イーエスデー トランジェンツ イン インプット プロテクション サーキット(Internal ESD Transients in Input Protection Circuits IEEE/IRPS 1989)」に示されているように、従来の保護素子にフィールドトランジスタを追加した構造が用いられている。図9の(a)に示すように、前述した従来の保護素子(Field Plate Diode, FPD)91、92と入力パッド93との間にフィールドトランジスタ(Thick Field Device, TFD)90を挿入する。出力トランジスタに対しては、図9の(b)に示すようにPMOS型96と、NMOS型97との2つの出力トランジスタと出力パッド98との間にフィールドトランジスタ(TFD)95を挿入する。

【0008】 次に、従来のフィールドトランジスタの断面構造を図10に示す。このトランジスタは素子分離酸化膜4により分離された隣接するN⁺拡散層領域31をエミッタ、コレクタとし、Pウェル2をベースとする寄生バイポーラトランジスタであって、素子分離酸化膜4をおおう制御用の電極はコレクタに接続されている。N

(3)

3
+ 拡散層領域31はNMOSトランジスタのソース領域及びドレイン領域と同時に形成され、Pウェル2上にNMOSトランジスタが形成される。N⁺ 拡散層領域31やMOSトランジスタのゲート電極6の表面には、低抵抗化を図るための金属シリサイド10が形成されている。ここで、5はゲート酸化膜、6はゲート電極、7は側壁酸化膜、9はN⁺ SD領域、11は下地層間絶縁膜、12は埋め込み電極、13は配線電極、30はP型基板である。

【0009】次に、従来の半導体装置のサージに対する保護効果について、図9、図10を参照して説明する。図9に示す入力パッド93、又は出力パッド98に例えば正のサージ電圧が印加された場合、コレクターエミッタ間の寄生バイポーラトランジスタをオンさせて、サージを逃がすことにより次段の保護素子や出力トランジスタ96、97を保護している。負の電圧印加に対しては、コレクターPウェル間のダイオードが順方向バイアスとなるので、V_f以上のバイアスに対してはPウェル2にチャージを逃がすことができる。

【0010】従って、この従来のフィールドトランジスタを用いた静電保護素子では、フィールドトランジスタをオンさせることにより、サージから内部回路やゲート制御型ダイオードのゲート酸化膜を保護している。

【0011】

【発明が解決しようとする課題】しかしながら、半導体装置の保護効果は未だ不十分でありその効果の拡大が要望されている。従来の半導体装置において、その保護効果を増大させるためにはフィールドトランジスタの面積を増やしてサージにともなうチャージを流しやすくする方法か、若しくはトランジスタがオンしやすいデバイス構造にする方法があるが、前者に関しては、LSIの微細化の方向に逆らうだけでなく、寄生容量の増加に伴う回路特性への影響が大きく、動作マージンが減少してしまう等の問題点がある。後者に関しては、まずPウェル2を低濃度化してエミッタからベースへのキャリアの注入効率を高めることが必要となる。

【0012】しかし、LSIの微細化のためには、スケールリング則に代表されるようにウェルの高濃度化が必須となる。また、ウェルの高濃度化は微細な素子分離を実現するためにも必須とされる技術であり、従って、Pウェルを低濃度化してエミッタからベースへのキャリアの注入効率を高めることは、フィールドトランジスタに必要とされる機能と相反する。フィールドトランジスタの製造工程においてPR（フォトレジスト）工程を追加し、N型の不純物をPウェルにイオン注入することにより、フィールドトランジスタ形成部のPウェルのみ実効不純物濃度を下げることが可能であるが、この方法ではイオン注入の打ち返しによる濃度制御の製造バラツキが非常に大きいという問題点を有している。

【0013】また、0.25 μm プロセス前後からは、

4
微細な素子分離を実現するためにシャロートレンチ分離（STI）技術が用いられる。シャロートレンチによる素子分離構造では、分離酸化膜が厚いことと、その側面の形状が垂直に近くなることから、フィールドトランジスタがオンしにくくなるという問題点を有している。

【0014】従って、LSIの高速化、微細化に伴い、従来のフィールドトランジスタを用いた静電保護素子では保護効果を高めることが難しくなっている。一方、MOSトランジスタのゲート酸化膜が薄膜化されていくと、ゲート酸化膜の電荷注入に対する耐性は弱くなる。従って、ESD（ElectroStatic Discharge）ダメージにより、ゲート酸化膜の信頼性が低下し易くなるという問題点に直面している。

【0015】本発明は上記事情に鑑みなされたもので、信頼性の高い集積回路装置を実現し、入出力バッファのサイズを縮小してLSIの高集積化にも寄与することが可能な、ESDに対して保護効果の高い構造の静電保護素子を有する半導体装置を提供することを目的とする。

【0016】

20 【課題を解決するための手段】請求項1記載の発明は、第1導電型の高濃度半導体基板上にエピタキシャル成長された第1導電型の半導体層上にMOSトランジスタが形成される半導体装置において、前記MOSトランジスタの静電保護素子として、前記MOSトランジスタのゲート電極又はドレイン領域と高濃度半導体基板との間に逆方向接続され、かつその接合面におけるアノード側の不純物濃度が、前記MOSトランジスタのドレイン接合面におけるアノード側の不純物濃度よりも高いダイオードを有することを特徴とする。

30 【0017】請求項2記載の発明は、請求項1記載の発明において、前記静電保護素子であるダイオードの逆方向耐圧が、前記MOSトランジスタのドレイン接合耐圧より低いことを特徴とする。

【0018】請求項3記載の発明は、請求項1記載の発明において、前記静電保護素子であるダイオードの逆方向耐圧が、前記MOSトランジスタのゲート酸化膜の耐圧よりも低いことを特徴とする。

40 【0019】請求項4記載の発明は、請求項1又は2に記載の発明において、前記静電保護素子であるダイオードの接合面が、前記MOSトランジスタのドレイン接合面より前記高濃度半導体基板に近いところに存在することを特徴とする。

50 【0020】従って、本発明に係る半導体装置においては、外部端子から正のサージ電圧が印加されたとき、ダイオードの接合耐圧以上の電圧に対しては、降伏電流を流すことによりダイオードを通してチャージを低抵抗な基板に逃がすことができる。一方負のサージ電圧に対しては、ダイオードが順方向バイアスされるため、V_f以上の電圧に対して順方向電流を流すことによりチャージを基板に逃がすことができる。

(4)

5

【0021】このように、外部から印加されるサージに対して、ダイオードを通して効率よくチャージを低抵抗な基板に逃がすことにより、チャージがMOSトランジスタへ印加されてゲート酸化膜を破壊させたり、特性変動を起こすのを防ぐ働きをする。

【0022】

【発明の実施の形態】次に、本発明に係る半導体装置の一実施形態について図面を参照して説明する。図1は、低耐圧静電保護ダイオードDと内部トランジスタTとを有する本発明に係る半導体装置の第1の実施形態の断面図である。ただし、図10に示す従来の半導体装置と同様な部材には同様な番号を付す。この半導体装置は、P⁺型基板1上にボロンせり上がり領域3を介してPウェル2が設けられ、N⁺カソード領域8とボロンせり上がり領域3との間で低耐圧静電保護ダイオードDが形成され、Pウェル2上に内部トランジスタT（図中ではNMOSトランジスタ）が形成されている。また、N⁺カソード領域8、N⁺SD領域9及びゲート電極6の表面には、低抵抗化を図るための金属シリサイド10が形成されている。この金属シリサイドとしては以下に述べる実施形態においてはC₆₀シリサイドを用いるが、この金属シリサイドは低抵抗化を図るために用いられているもので、本発明はC₆₀シリサイドに限定するものではなく、適当な金属シリサイドを用いても良い。低耐圧静電保護ダイオードDの接合耐圧は、LSIの電源電圧よりは高く、内部トランジスタTのゲート耐圧より低く設定されている。

【0023】図2は、図1に示す半導体装置の製造工程を示す断面図である。まず、P⁺型基板1上にボロンせり上がり領域3を介してPウェル2を設ける。具体的には、P⁻/P⁺基板上にイオン注入によりPウェル2を形成する。そして選択的に素子分離酸化膜4を形成する（図2の（a））。次に、フォトリソスト（PR）20をマスクとしてN型不純物イオンをイオン注入することによりN⁺カソード領域8を形成する（図2の（b））。

【0024】次に、ゲート酸化膜5を形成後、マスク材21をマスクとするエッチングにより内部トランジスタのゲート電極6のパターニングを行う（図2の（c））。

その後、公知の技術により、側壁酸化膜7を利用してLDD構造のトランジスタのソース・ドレイン領域を形成する。このとき、N⁺SD領域9を形成するためのイオン注入はN⁺カソード領域にも施す（図2の（d））。その後、公知の技術により、シリコンの表面に金属シリサイド10を形成し、図1に示す下地層間絶縁膜11の形成、コンタクト領域の開孔、埋込電極12の形成、配線電極13の形成とパターニングを行い、図1に示される構造の半導体装置が完成する。

【0025】図3及び図4は、図1に示される構造を有する半導体装置を用いた入出力回路の一実施形態を示す

6

図である。

【0026】図3は入力保護回路を示す図であり、入力端子と内部回路との間に低耐圧静電保護ダイオード35とゲート制御型ダイオード36、37とが接続されている。低耐圧静電保護ダイオード35は、入力端子にカソードが、GNDにアノードが接続される。さらに、カソードからは抵抗38を介しN型、P型の2つの型のゲート制御型ダイオード36、37に接続される。この2つのゲート制御型ダイオード36、37は従来から使用されている保護素子であり、更に抵抗39を介して内部回路へと接続される。

【0027】図4は出力保護回路を示す図であり、出力トランジスタT40、T41と出力端子との間に低耐圧静電保護ダイオード40が設けられている。出力トランジスタT40、T41のドレインにカソードが、GNDにアノードが接続されている。

【0028】図5は、LSIのチップ内における低耐圧静電保護素子の配置例を示したものである。入出力端子（PAD）50のすぐ内側に、低耐圧静電保護ダイオード形成領域51を設け、全ての入出力バッファの低耐圧静電保護ダイオードをこの領域内に形成する。そして、この低耐圧静電保護ダイオード形成領域51で囲われた内側が内部エリア52となる。内部エリア52には、入出力バッファの場合は図3に示すゲート制御型ダイオードと内部回路が配置され、出力バッファの場合図4に示す出力トランジスタを含む内部回路が配置される。

【0029】次に、第1の実施形態に係る半導体装置のサージに対する保護動作について図3、図4を参照してさらに詳細に説明する。図3に示す入力保護回路においては、入力端子にサージが印加されると、低耐圧静電保護ダイオード35によりゲート制御型ダイオード36、37が印加サージから保護され、更に低耐圧静電保護ダイオード35とゲート制御型ダイオード36、37の働きにより内部回路が保護される。つまり、正のサージ電圧が印加された場合、カソードーアノード間の接合耐圧以上の電圧に対しては、接合降伏電流により、低耐圧静電保護ダイオード35を通して低抵抗なP⁺型基板へチャージを逃がすことができる。

【0030】低耐圧静電保護ダイオード35のカソードーアノード間の逆方向接合耐圧は、ゲート酸化膜の耐圧より低く設定されているため、ゲート制御型ダイオード36、37のゲート酸化膜に側面から注入されるチャージ量を低減することができる。これにより、ゲート制御型ダイオード36、37の内部回路に対する静電保護能力が変化したり、ゲート酸化膜が破壊されるのを防ぐ。一方、負のサージ電圧に対しては低耐圧静電保護ダイオード35が順方向バイアスされるため、V_f以上の電圧でP⁺型基板に対してチャージを逃がすことができる。

【0031】図4に示す出力回路では、出力端子に印加されたサージから、低耐圧静電保護ダイオード40によ

(5)

7

り出力トランジスタT40、T41が保護される。低耐圧静電保護ダイオード40の動作については、前述の図3に示す低耐圧静電保護ダイオード35の動作と同様なので省略する。

【0032】次に、本発明に係る半導体装置の第1の実施形態の構造についてさらに詳細に説明する。図1に示す半導体装置では、ボロンを $1 \times 10^{19} \sim 10^{20} \text{ cm}^{-3}$ 含んだP⁺型基板1上に、表面ボロン濃度が $1 \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度のPウェル2が設けられ、P⁺型基板1とPウェル2との間にボロンを $1 \times 10^{18} \sim 10^{19} \text{ cm}^{-3}$ 含んだボロンせり上がり領域3が存在する。ボロンせり上がり領域3の厚さは $1.5 \mu\text{m}$ 程度、Pウェル2の厚さは $1 \mu\text{m}$ 程度である。

【0033】また、N型不純物を $1 \times 10^{18} \sim 10^{20} \text{ cm}^{-3}$ 含んだN⁺カソード領域8がボロンせり上がり領域3に接するように設けられる。ここで、接合面におけるN⁺カソード領域8の不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 程度に設定されている。N⁺カソード領域8とボロンせり上がり領域3との間で低耐圧静電保護ダイオードDが形成され、その逆方向耐圧は4V程度である。一方、Pウェル2上にはLDD構造の内部トランジスタ(NMOSトランジスタ)Tが形成される。また、ゲート酸化膜5の厚さは5nm程度である。N⁺カソード領域8、MOSトランジスタのN⁺SD領域9及びゲート電極6の表面には、低抵抗化を図るために金属シリサイド(Coシリサイド)10が設けられている。

【0034】次に、図2に示す半導体装置の製造工程の断面図を参照して、本発明に係る半導体装置についてさらに詳細に説明する。ボロンを $1 \times 10^{19} \sim 10^{20} \text{ cm}^{-3}$ 含んだP⁺型基板1上に $1 \times 10^{15} \text{ cm}^{-3}$ 程度のボロンを含んだシリコンを約 $2.5 \mu\text{m}$ 成長させる。このとき、P⁺型基板1からのオートドーピングと熱拡散によりボロンを $1 \times 10^{18} \sim 10^{19} \text{ cm}^{-3}$ 含んだボロンせり上がり領域3が $1.5 \mu\text{m}$ 程度の厚さに形成される。その後、公知の技術により厚さ400nm程度のシリコン酸化膜からなる素子分離酸化膜4を形成する。そして、表面に厚さ20nm程度の酸化膜(不図示)を設けた後、NMOSトランジスタと低耐圧静電保護ダイオードが形成される領域にボロンのイオン注入を施してPウェル2を設ける(図2の(a))。

【0035】このイオン注入は、加速電圧300KV、ドーズ $3 \times 10^{13} \text{ cm}^{-2}$ と、加速電圧150KV、ドーズ $5 \times 10^{12} \text{ cm}^{-2}$ と、加速電圧30KV、ドーズ $5 \times 10^{12} \text{ cm}^{-2}$ の条件で3回行う。2回目の注入はNMOSトランジスタ間の素子分離とNMOSトランジスタのパンチスルー防止のために行い、3回目の注入は所望のV_tを得るために行う。その後、PMOSトランジスタを形成する領域にN型の不純物をイオン注入してNウェル領域を形成する(不図示)。その後、フォトレジスト20のパターニングを行い、フォトレジスト20をマス

8

クとしてリンを注入することによりN⁺カソード領域8を形成する(図2の(b))。

【0036】リン注入は、加速電圧1MV、ドーズ $5 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ と、加速電圧300KV、ドーズ $5 \times 10^{14} \text{ cm}^{-2}$ と、加速電圧70KV、ドーズ $1 \times 10^{14} \text{ cm}^{-2}$ の条件で3回行う。最初の注入は低耐圧静電保護ダイオードの接合耐圧を決めるために行い、2回目と3回目の注入はN⁺カソード領域8をシリコン表面まで低抵抗に引き出すために行う。その後、850℃～900℃のドライブインにより結晶性の回復と不純物の再分布を施す。その後、公知の技術により、厚さ5nmのゲート酸化膜5を形成した後、全面に厚さ200nm程度のシリコンからなるゲート電極を形成する。

【0037】そしてパターニングされたマスク材21をマスクとするエッチングによりMOSトランジスタのゲート電極6を加工する(図2の(c))。内部トランジスタのゲート長は、例えば $0.15 \mu\text{m}$ 程度に加工する。その後、公知の技術により、側壁酸化膜7を利用してLDD構造のトランジスタのソース・ドレイン領域を形成する。例えば、NMOSトランジスタに対して、ヒ素を加速電圧20KV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した後、全面に60nm程度の酸化膜を成長してエッチバックする。これにより側壁酸化膜7が形成される。その後、NMOSトランジスタと低耐圧静電保護ダイオードを含む領域にヒ素のイオン注入を行い、N⁺SD領域9を形成する(図2の(d))。

【0038】ヒ素のイオン注入は、加速電圧40KV、ドーズ量 $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ の範囲で行う。その後、PMOSトランジスタのP⁺SD領域(不図示)をボロンのイオン注入により形成する。このイオン注入は、加速電圧10KV程度、ドーズ量 $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ で行う。その後、公知の技術により、シリコンの表面に厚さ20nm程度の金属シリサイド(Coシリサイド)10を形成し、厚さ $0.8 \mu\text{m}$ 程度の下地層間絶縁膜11の形成、コンタクト領域の開孔、Wの埋込電極12の形成、AlCuから成る配線電極13の形成とパターニングを行うことにより、図1に示す構造を有する半導体装置が完成する。

【0039】従って、この第1の実施形態によれば、ダイオードの接合耐圧以上の電圧に対しては、降伏電流を流すことによりダイオードDを通してチャージを低抵抗なP⁺型基板1に逃がすことができる。一方負のサージ電圧に対しては、ダイオードDが順方向バイアスされるため、V_f以上の電圧に対して順方向電流を流すことによりチャージをP⁺型基板1に逃がすことができる。

【0040】次に、本発明に係る半導体装置の第2の実施形態について図面を参照して説明する。図6は静電保護素子としての、低耐圧静電保護ダイオードDと、内部トランジスタTとを有する本発明に係る半導体装置の第2の実施形態の断面図である。ただし、図1に示す第1

(6)

9

の実施形態に係る半導体装置と同様な部材には同様な番号を付す。この半導体装置は P^+ 型基板1上にボロンせり上がり領域3を介してPウェル2が設けられている。

【0041】また、Pウェル2中に P^+ アノード領域14が設けられ、 N^+ カソード領域8と P^+ アノード領域14の間で低耐圧静電保護ダイオードDが形成され、Pウェル2上に内部トランジスタT（図中では、NMOSトランジスタとして形成されている。）が形成されている。 N^+ カソード領域8、 N^+ SD領域9及びゲート電極6の表面には、低抵抗化を図るための金属シリサイド10が形成されている。また、低耐圧静電保護ダイオードDの接合耐圧は、LSIの電源電圧よりは高く、内部トランジスタTのゲート耐圧よりは低く設定されている。

【0042】図7は、図6に示す半導体装置の製造工程を示す断面図である。第1の実施形態と同様に、 P^+ 型基板1上にボロンせり上がり領域3を介してPウェル2を設けた後、ゲート酸化膜5の形成、マスク材21をマスクとするエッチングにより内部トランジスタのゲート電極6のパターニングを行う（図7の（a））。その後、公知の技術により、側壁酸化膜7を利用してLDD構造のトランジスタのソース・ドレイン領域を形成する。 N 型LDD領域22と側壁酸化膜7とを形成後、フォトレジスト23をマスクとするボロンのイオン注入により P^+ アノード領域14を形成する（図7の（b））。

【0043】そして、 N^+ SD領域9を形成するためのヒ素のイオン注入を低耐圧静電保護ダイオード領域にも施し、 N^+ カソード領域8を形成する（図7の（c））。その後、公知の技術により、シリコンの表面に金属シリサイド10を形成し、下地層間絶縁膜11の形成、コンタクト領域の開孔、埋込電極12の形成、配線電極13の形成とパターニングを行い、図6に示す構造の半導体装置が完成する。

【0044】従って、この第2の実施形態である半導体装置を用いても、図3～図5に示すような入出力回路を構成することが可能であり、従って第1の実施形態と同様な動作を実現でき、第1の実施形態と同様の効果を得ることができる。

【0045】次に、本発明に係る半導体装置の第2の実施形態の構造について図6、図7を参照してさらに詳細に説明する。図6を参照すると、この半導体装置は、 P^+ 型基板1上に、Pウェル2が設けられ、 P^+ 型基板1とPウェル2との間にボロンせり上がり領域3が存在する。各領域の不純物濃度及び厚さは図1に示す第1の実施形態における不純物濃度及び厚さとほぼ同じとして良い。また、 P 型不純物を $1 \times 10^{18} \sim 10^{19} \text{ cm}^{-3}$ 含んだ P^+ アノード領域14がボロンせり上がり領域3に接するように設けられ、 P^+ アノード領域14中にヒ素を $1 \times 10^{20} \sim 10^{21} \text{ cm}^{-3}$ 含んだ N^+ カソード領域8が

10

設けられる。

【0046】 N^+ カソード領域8と P^+ アノード領域14との間で低耐圧静電保護ダイオードDが形成され、その逆方向耐圧は4V程度である。一方、Pウェル2上にはLDD構造の内部トランジスタ（NMOSトランジスタ）Tが形成される。さらに、ゲート酸化膜5の厚さは5nm程度である。 N^+ カソード領域8、MOSトランジスタの N^+ SD領域9及び、ゲート電極6の表面には、低抵抗化を図るために金属シリサイド（Coシリサイド）10が設けられている。

【0047】次に、図7に示す第2の実施形態に係る半導体装置の製造工程図を参照し、第2の実施形態に係る半導体装置についてさらに詳細に説明する。ただし、図2に示す第1の実施形態に係る半導体装置の製造工程と同様に、 P^+ 型基板1上にシリコンを成長後、シリコン酸化膜からなる素子分離酸化膜4を形成し、Pウェル2及び、図示しないNウェルを設ける。プロセスの条件は第1の実施形態と同様である。その後、 $850^\circ\text{C} \sim 900^\circ\text{C}$ のドライブインにより結晶性の回復と不純物の再分布を施す。さらに、公知の技術により、厚さ5nmのゲート酸化膜5を形成した後、全面に厚さ200nm程度のシリコンからなるゲート電極6を形成する。そしてパターニングされたマスク材21をマスクとするエッチングによりMOSトランジスタのゲート電極6を加工する（図7の（a））。内部トランジスタのゲート長は、例えば0.15 μm 程度に加工する。

【0048】その後、公知の技術により、側壁酸化膜7を利用してLDD構造のトランジスタのソース・ドレイン領域を形成する。例えば、NMOSトランジスタに対して、ヒ素を加速電圧20KV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した後、全面に60nm程度の酸化膜を成長してエッチバックする。これにより側壁酸化膜7が形成される。その後、フォトレジスト23をマスクとするボロンのイオン注入により、低耐圧静電保護ダイオードを形成する領域に P^+ アノード領域14を形成する（図7の（b））。ボロンのイオン注入は、加速電圧300KV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ と、加速電圧120KV、ドーズ量 $1 \sim 5 \times 10^{14} \text{ cm}^{-2}$ の条件で行う（図7の（c））。

【0049】その後、 $850 \sim 900^\circ\text{C}$ のドライブインにより、結晶性の回復と不純物の再分布を施す。さらに、NMOSトランジスタと低耐圧静電保護ダイオードを含む領域にヒ素のイオン注入を行い、 N^+ SD領域9と N^+ カソード領域8を形成する（図7の（c））。イオン注入は、加速電圧40KV、ドーズ量 $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ の範囲で行う。その後、PMOSトランジスタの P^+ SD領域（不図示）をボロンのイオン注入により形成する。

【0050】このボロンのイオン注入は、加速電圧10KV程度、ドーズ量 $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ で行う。その

(7)

11

後、公知の技術により、シリコンの表面に厚さ20nm程度の金属シリサイド(Coシリサイド)10を形成し、厚さ0.8μm程度の下地層間絶縁膜11の形成、コンタクト領域の開孔、Wで示される埋込電極12の形成、AlCuから成る配線電極13の形成とパターンニングを行い、図6の構造を有する半導体装置が完成する。

【0051】この第2の実施形態においては、前述の第1の実施形態と同様の効果が得られると共に、前述の第1の実施形態のようにボロンのせり上がりを利用するのではなく、イオン注入により高濃度なアノード領域14を形成するため、濃度の制御が容易となり、低耐圧静電保護ダイオードの耐圧の製造バラツキを小さくすることが可能である。

【0052】

【発明の効果】以上の説明から明らかなように、本発明によれば、高濃度のPN接合から成るダイオードを静電保護素子としているため、逆方向接合耐圧を低く設定でき、逆方向の印加サージに対しては、チャージを効率よくダイオードを通してシリコン基板へ逃がすことが可能となり、内部素子を保護することができる。従って、微細化したMOSトランジスタに対する静電保護機能を向上できるため、信頼性の高い半導体装置を提供することができる。

【0053】例えば、MOSトランジスタのゲート酸化膜の膜厚が5nmの場合を仮定すると、5V以上の電圧ストレスがゲート酸化膜に印加されると、特性変動が顕著になり印加時間が長くなるとゲート酸化膜の破壊に至る。電源電圧2.5Vでの動作を仮定すると、2.5Vの印加ではオフ状態にあり、5V以下の電圧でオン状態に入る保護素子が要求される。このような保護素子は従来の保護素子では実現が難しかったのに対し、本発明に係る半導体装置が有する保護ダイオードの構造では、容易に実現が可能である。さらに、アノード領域、カソード領域を前述の実施形態において設定したような濃度にするにより、例えば4Vで逆方向降伏をおこすようなダイオードを形成することが可能となる。その結果、後段の素子のゲート酸化膜をサージから保護することが可能となる。

【0054】また、低抵抗な基板を用いているため、チャージを効率よくGNDレベルへ逃がせることができ、後段の素子へ印加されるチャージ量を低減する効果が得られ、静電保護機能の向上に寄与することができる半導体装置を提供することができる。

【0055】さらに、従来の半導体装置に比べて保護素子の機能を向上させているので、保護素子自体の面積を小さくできる。また、出力回路においては、出力トランジスタに大きな寄生容量を持たせる必要がなくなるため、トランジスタサイズを小さくすることが可能だけでなく、出力ピンの低容量化により高速I/Oを容易に実現することができる。入力回路においても、実施形態

12

で説明したような、ゲート制御型ダイオードとの併用を行わずに、ダイオードのみで静電保護機能を実現することも可能である。従って、高集積化及び高性能化が可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の第1の実施形態の構造を示す断面図である。

【図2】図1に示す半導体装置の製造工程を示す断面図である。

【図3】本発明に係る半導体装置を入力回路に適用した一実施形態の回路図である。

【図4】本発明に係る半導体装置を出力回路に適用した一実施形態の回路図である。

【図5】本発明に係る半導体装置のLSI内部におけるレイアウトの一実施形態を示す図である。

【図6】本発明に係る半導体装置の第2の実施形態の構造を示す断面図である。

【図7】図6に示す半導体装置の製造工程を示す断面図である。

【図8】従来の入力保護回路を示す回路図である。

【図9】フィールドトランジスタを用いた従来の入出力保護回路を示す回路図である。

【図10】従来のフィールドトランジスタの構造を示す断面図である。

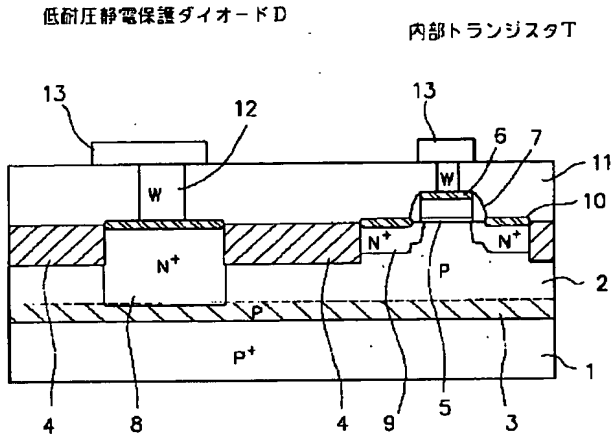
【符号の説明】

- 1 P⁺型基板
- 2 Pウェル
- 3 ボロンせり上がり領域
- 4 素子分離酸化膜
- 5 ゲート酸化膜
- 6 ゲート電極
- 7 側壁酸化膜
- 8 N⁺カソード領域
- 9 N⁺SD領域
- 10 金属シリサイド
- 11 下地層間絶縁膜
- 12 埋込金属
- 13 配線電極
- 14 P⁺アノード領域
- 20 フォトレジスト(PR)
- 21 マスク材
- 22 N型LDD領域
- 23 フォトレジスト(PR)
- 30 P型基板
- 31 N⁺拡散層領域
- 35 低耐圧静電保護ダイオード
- 36 ゲート制御型ダイオード(P型)
- 37 ゲート制御型ダイオード(N型)
- 40 低耐圧静電保護ダイオード
- 50 入出力端子(PAD)

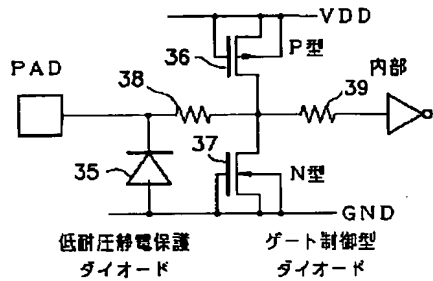
(8)

- 13 低耐圧静電保護ダイオード形成領域
 5 2 内部エリア
 D 低耐圧静電保護ダイオード

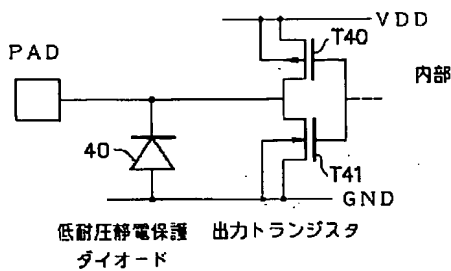
【図1】



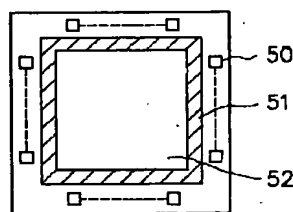
【図3】



【図4】

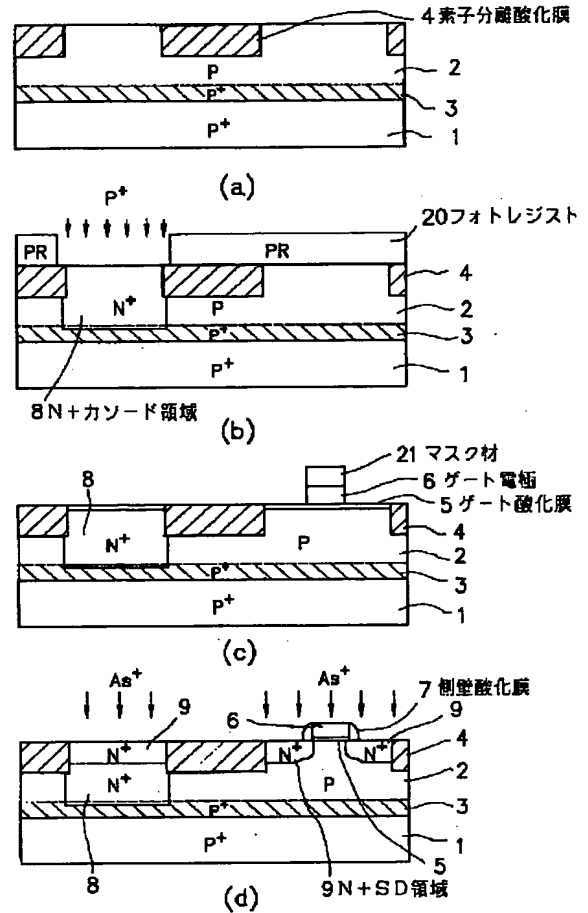


【図5】



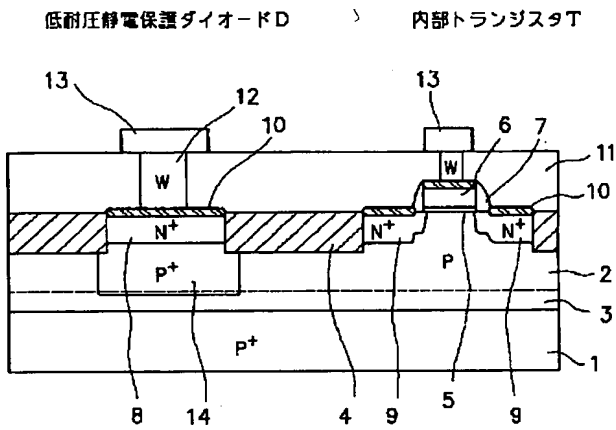
- 14
 T 内部トランジスタ
 T 4 0、T 4 1 出力トランジスタ

【図2】

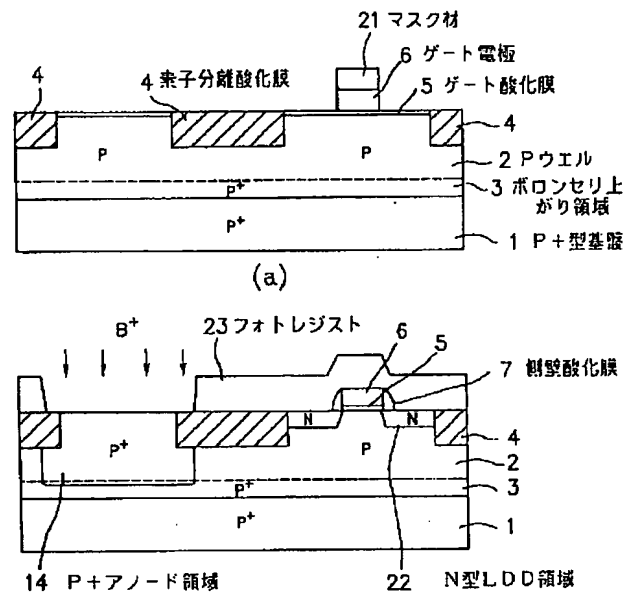


(9)

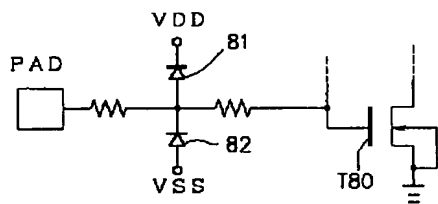
【図6】



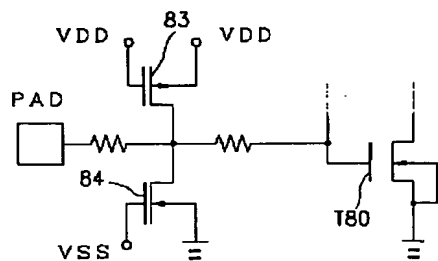
【図7】



【図8】

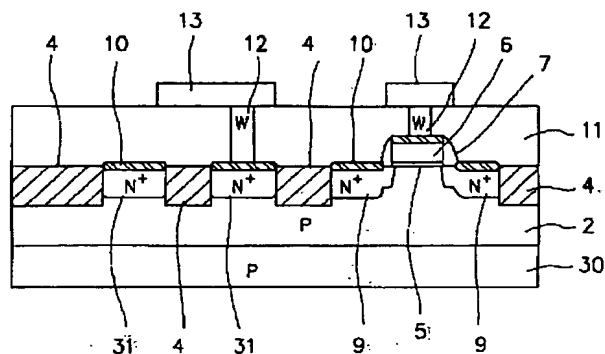


(a)



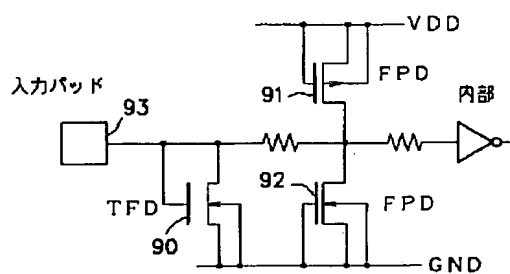
(b)

【図10】

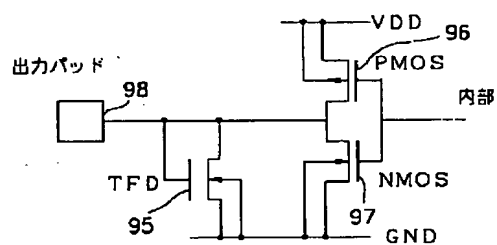


(10)

【図9】



(a)



出力トランジスタ

(b)